



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenlegungsschrift**
10 **DE 100 09 039 A 1**

51 Int. Cl.⁷:
H 03 K 5/00
H 03 K 5/14

21 Aktenzeichen: 100 09 039.7
22 Anmeldetag: 25. 2. 2000
43 Offenlegungstag: 19. 10. 2000

DE 100 09 039 A 1

30 Unionspriorität:
11-050135 26. 02. 1999 JP

71 Anmelder:
NEC Corp., Tokio/Tokyo, JP

74 Vertreter:
Vossius & Partner, 81675 München

72 Erfinder:
Saeki, Takanori, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Taktperioden-Erfassungsschaltung

57 Offenbart wird eine Taktperioden-Erfassungsschaltung, in der es möglich ist, den Betriebsbereich von Phaseinstellungs- und Frequenzvervielfacherschaltungen usw. zu verbreitern, indem vorab eine Grobperiodeneinstellung durchgeführt wird. Mehrere Verzögerungserfassungsschaltungen mit leicht überlappenden Betriebsbereichen und unterschiedlichen Betriebsmitteln sind im Hinblick auf ein Eingangstaktsignal parallel verbunden, das durch die Verzögerungserfassungsschaltungen geführt wird. Es erfolgt eine Groberfassung der Periode des Takts in kurzen Perioden unter Verwendung eines Signals, das vom Taktsignal durchlaufene Verzögerungsschaltungen und vom Taktsignal nicht durchlaufende Verzögerungsschaltungen identifiziert.

DE 100 09 039 A 1

Beschreibung

Die Erfindung betrifft eine Taktperioden-Erfassungsschaltung und insbesondere eine Taktverzögerungs-Erfassungsschaltung, die Verzögerung erfassen und feineinstellen kann.

Zu Beispielen für herkömmliche Taktverzögerungs-Erfassungsschaltungen gehören eine Folge von Erfassungsschaltungen mit einer Folge von Invertern und eine Einrichtung zum Erfassen von Verzögerung anhand der Anzahl von Stufen eines Ringoszillators. Zum Beispiel ist gemäß Fig. 10 eine Anordnung bekannt, in der eine Periodenerfassungsschaltung 206 einen Ringoszillator mit einer festen Anzahl von Stufen und einen Zähler aufweist, wobei die Oszillationsfrequenz des Ringoszillators in der Periode eines Eingangstakts durch den Zähler gezählt wird, um die Taktperiode zu erfassen.

Ferner zeigt Fig. 11 ein Beispiel für den Aufbau einer Synchronverzögerungsschaltung gemäß dem Stand der Technik. Als ihre Grundkomponenten hat diese Schaltung eine erste Verzögerungsschaltungsleitung 901 zum Messen von Verzögerung ("Meßverzögerungsleitung") und eine zweite Verzögerungsschaltungsleitung 902 zum Wiederherstellen von Verzögerung ("Synchronisationsverzögerungsleitung"), wobei die Signallaufzeit der letztgenannten entgegengesetzt zur erstgenannten ist. Das Ausgangsende der zweiten Verzögerungsschaltungsleitung 902 ist mit einem Ausgangspuffer (mit einer Verzögerungszeit td_2) verbunden, und eine Übertragungssteuerschaltung 903 ist zwischen der ersten Verzögerungsschaltungsleitung 901 und zweiten Verzögerungsschaltungsleitung 902 vorgesehen. Die Übertragungssteuerschaltung 903 schaltet sich bei Empfang einer Ausgabe von einem Eingangspuffer 904 ein. Eine Pseudoverzögerungsschaltung 906 mit einer Verzögerungszeit $td_1 + td_2$ ist zwischen einem Ausgangsende des Eingangspuffers 904 und einem Eingangsende der ersten Verzögerungsschaltungsleitung 901 eingefügt.

Ein Eingangstaktsignal tritt in die erste Verzögerungsschaltungsleitung 901 vom Eingangspuffer 904 ein und läuft durch die erste Verzögerungsschaltungsleitung 901, bis der nächste der Taktsignalperiode (tCK) folgende Impuls eintritt. In dem Moment, in dem der nächste Impuls eintritt, schaltet sich die Übertragungssteuerschaltung 903 ein, so daß ein Impuls, der durch die erste Verzögerungsschaltungsleitung 901 über eine Zeitperiode gelaufen ist, die gleich ($tCK - td_1 - td_2$) ist, in die zweite Verzögerungsschaltungsleitung 902 ab dieser Position eintritt, sie durchläuft und von der zweiten Verzögerungsschaltungsleitung 902 über die Laufzeitperiode ($tCK - td_1 - td_2$) durch die erste Verzögerungsschaltungsleitung 901 ausgegeben wird. Der Impuls wird über einen Ausgangspuffer 905 ausgegeben (dessen Verzögerungszeit td_2 beträgt). Dadurch wird ein um $2tCK$ gegenüber der Eingabe in verzögertes Signal an einem Ausgangsanschluß Out ausgegeben, wobei folgendes gilt: [Eingangspuffer (td_1)] + [Verzögerungsschaltung ($td_1 + td_2$)] + [erste und zweite Verzögerungsschaltung [$2 \times (tCK - td_1 - td_2)$]] + [Ausgangspuffer (td_2)] = $2tCK$.

In dieser Anordnung der herkömmlichen Verzögerungserfassungsschaltung mit einer Folge von Invertern, in der der Inverter eine Einheitsverzögerungsschaltung ist, wird die Einheit der Verzögerung durch die Laufverzögerungszeit einer Inverterstufe bestimmt. Soll also die Taktperiode in einer nachfolgenden Stufe feineingestellt werden, ist es erforderlich, daß die bei Grobeinstellung verwendete Verzögerungseinheit an den Enden des Betriebsbereichs umgeschaltet wird. Der Grund dafür ist, daß es keine Überlappung von Betriebsbereichen im Hinblick auf die einzelnen Verzögerungseinheiten gibt.

Somit besteht eine Aufgabe der Erfindung darin, eine Taktperioden-Erfassungsschaltung bereitzustellen, in der es möglich ist, den Betriebsbereich von Phaseneinstellungs- und Frequenzvervielfacherschaltungen usw. zu verbreitern. Eine weitere Aufgabe der Erfindung besteht darin, eine Taktperioden-Erfassungsschaltung bereitzustellen, in der es möglich ist, den Betriebsbereich von Phaseneinstellungs- und Frequenzvervielfacherschaltungen usw. zu verbreitern und insbesondere die Durchführung einer vorab erfolgenden Grobperiodeneinstellung zu ermöglichen. Diese Aufgabe wird mit den Merkmalen der Ansprüche gelöst.

Weitere Merkmale und Vorteile der Erfindung gehen aus der nachfolgenden Beschreibung im Zusammenhang mit den beigefügten Zeichnungen hervor, in denen gleiche Bezugszeichen die gleichen oder ähnliche Teile in sämtlichen Darstellungen bezeichnen. Es zeigen:

Fig. 1 eine Darstellung einer Anordnung zur praktischen Realisierung der Erfindung;

Fig. 2 ein Blockschaltbild einer Anordnung gemäß einer Ausführungsform der Erfindung;

Fig. 3 eine Darstellung des Aufbaus einer Verzögerungsschaltung gemäß einer Ausführungsform der Erfindung;

Fig. 4 eine Darstellung des Aufbaus einer Taktungsteilerschaltung (Interpolator) gemäß einer Ausführungsform;

Fig. 5 eine Darstellung von Betriebstaktungswellenformen gemäß einer Ausführungsform;

Fig. 6 eine Darstellung der Art und Weise, wie eine Taktung durch die Taktungsteilerschaltung (Interpolator) gemäß einer Ausführungsform erzeugt wird;

Fig. 7 eine Darstellung der Art und Weise, wie eine Taktung durch die Taktungsteilerschaltung (Interpolator) gemäß einer Ausführungsform erzeugt wird;

Fig. 8 eine Darstellung der Beziehung zwischen der Kapazität einer Taktungsteilerschaltung (Interpolator) und einem Verzögerungsverhältnis gemäß einer Ausführungsform;

Fig. 9 eine Darstellung eines Betriebsbereichs gemäß einer Ausführungsform;

Fig. 10 ein Blockschaltbild des Aufbaus einer Taktfrequenz-Vervielfacherschaltung gemäß dem Stand der Technik; und

Fig. 11 eine Darstellung des Aufbaus einer Synchronverzögerungsschaltung gemäß dem Stand der Technik.

Fig. 1 ist eine Darstellung einer Anordnung einer Taktperioden-Erfassungsschaltung zur praktischen Realisierung der Erfindung. Gemäß Fig. 1 sind mehrere Verzögerungserfassungsschaltungen 2 mit leicht unterschiedlichen Verzögerungszeiten parallel zu einem Eingangstaktsignal 1 angeordnet, und das Taktsignal 1 wird durch mehrere der Verzögerungserfassungsschaltungen 2 geführt. Indem anhand von Ausgaben von Detektionssignalen 3 jene Verzögerungserfassungsschaltungen identifiziert werden, die vom Taktsignal durchlaufen und nicht durchlaufen wurden, läßt sich die Taktperiode in kurzen Perioden grob erfassen.

Ferner verfügt in einer bevorzugten Ausführungsform der Erfindung gemäß Fig. 2 eine Taktperioden-Erfassungsschaltung über mehrere Verzögerungsschaltungen 103, in die ein Taktsignal eingegeben wird und die parallel zu Verzögerungszeiten angeordnet sind, die sich voneinander unterscheiden, mehrere Zwischenspeicherschaltungen 103, in die die Ausgaben jeweiliger der Verzögerungsschaltungen 103 zum Zwischenspeichern des Taktsignals als Zwischenspeichertaktungssignal eingegeben werden, und Codiererschaltungen 104, in die die Ausgaben der Zwischenspeicherschaltungen 103 zum Detektieren einer Grenze zwischen Verzögerungsschaltungen, die vom Taktsignal durchlaufen wurden, und Verzögerungsschaltungen, die nicht vom Taktsignal durchlaufen wurden, eingegeben werden, wobei die

Grenze als Steuersignal codiert und ein Steuersignal 105 ausgegeben wird.

Im folgenden wird eine Ausführungsform der Erfindung anhand der Zeichnungen näher beschrieben.

Als Beispiel wird in einer Schaltung zum Einstellen der Phase eines Taktsignals oder zu seinem Frequenzvervielfachen unter Verwendung einer Taktungsteilerschaltung (Interpolator), die eine Taktung erzeugt, die durch internes Teilen der Differenz zwischen zwei Eingangstaktungen zweier Eingänge erhalten wird (siehe z. B. die JP-A-11-4146 und JP-A-11-4145), die verwendbare Taktperiode durch eine Kapazität usw. festgelegt, die mit dem Ausgangsabschnitt der Taktungsteilerschaltung (Interpolator) verbunden ist (als "Taktungsdifferenz-Teilerschaltung" bezeichnet). Umgekehrt läßt sich der durch die Schaltung verwendbare Frequenzbereich verbreitern, indem die Taktperiode erfaßt und die Größe der Kapazität usw. festgelegt wird.

Zur Erfassung einer Taktperiode in dieser Ausführungsform der Erfindung sind mehrere parallel verbundene Schaltungen vorgesehen, in denen die Schaltungskonstanten so festgelegt wurden, daß der Betriebsfrequenzbereich jeder Schaltung vom Betriebsfrequenzbereich der nächsten Schaltung leicht überlappt wird, die Taktperiode als Wert erfaßt wird, z. B. als Kapazität einer korrekt (normal) arbeitenden Schaltung, und eine Feineinstellung durch eine gesonderte Schaltung erfolgt, die als nachfolgende Stufe angeordnet ist.

Fig. 2 ist ein Blockschaltbild des Aufbaus dieser Ausführungsform der Erfindung. Gemäß Fig. 2 verfügt die Ausführungsform über die Zwischenspeicherschaltungen 103 und Codierer 104, die als die Endstufen jeweiliger der mehreren parallelen Verzögerungsschaltungen 102 mit Verzögerungszeiten vorgesehen sind, die sich voneinander unterscheiden.

Jede Zwischenspeicherschaltung 103 hat einen Dateneingangsanschluß (D), in den die Ausgabe der entsprechenden der Verzögerungsschaltungen 102 eingegeben wird, und einen Takteingangsanschluß (C), in den ein Signal eingegeben wird, das durch Invertieren eines Taktsignals 101 durch einen Inverter erhalten wird. Die Zwischenspeicherschaltung führt eine Zwischenspeicherung dieses Signals durch und gibt es aus.

Die Verzögerungszeiten der mehreren Verzögerungsschaltungen 102 sind z. B. auf X1, X1,5, X2, X4, X6, X8, X12 und X16 eingestellt. Das Taktsignal 101, das eine Verzögerungsschaltung 102 durchlaufen hat, wird in der entsprechenden Zwischenspeicherschaltung 103 an der steigenden Flanke des durch Invertieren des Taktsignals 101 erhaltenen Signals zwischengespeichert. Informationen über die Grenze zwischen einer Gruppe von Zwischenspeicherschaltungen, die vom Taktsignal durchlaufenen Verzögerungsschaltungen entsprechen, und einer Gruppe von Verzögerungsschaltungen, die nicht vom Taktsignal durchlaufenen Verzögerungsschaltungen entsprechen, werden von der Codierschaltung 104 als Steuersignal 105 ausgegeben. Mit Ausnahme der Codierschaltung 104 am unteren Ende empfängt jede Codierschaltung 104 die Ausgaben von zwei zueinander benachbarten Zwischenspeicherschaltungen 103 als Eingaben und codiert sie.

Fig. 3 ist eine Darstellung des Aufbaus der Verzögerungsschaltung 102 gemäß dieser Ausführungsform. Wie Fig. 3 zeigt, hat die Verzögerungsschaltung 102 eine externe Eingabe IN1, die mit Eingangsanschlüssen eines NAND-Glieds NAND01 und Inverters INV01, INV02 verbunden ist. Ein Ausgang des NAND-Glieds NAND01 ist mit einer Gate-Elektrode eines p-leitenden MOS-Transistors MP01, verbunden, ein Ausgang des Inverters INV01 ist mit einer Gate-Elektrode eines n-leitenden MOS-Transistors MN02 verbunden, und ein Ausgang des Inverters INV02 ist mit einer Gate-Elektrode eines n-leitenden MOS-Transistors

MN01 verbunden.

Die Source-Elektrode und Drain-Elektrode des p-leitenden MOS-Transistors MP01 sind mit einer Stromversorgung VDD bzw. einem internen Knoten N1 verbunden. Die Source-Elektroden der n-leitenden MOS-Transistoren MN01 und MN02 sind mit Masse GND über eine Konstantstromquelle verbunden, deren Stromwert durch ein Konstantstrom-Steuersignal 113 variiert werden kann, und die Drain-Ströme dieser Transistoren sind mit dem internen Knoten N1 verbunden. Der interne Knoten N1 ist ferner mit dem Eingangsanschluß eines Inverters INV03 und mit den Drain-Elektroden von n-leitenden MOS-Transistoren MN11-15 verbunden. Die Gate-Elektroden der n-leitenden MOS-Transistoren MN11-15 sind jeweils mit einem Kapazitätssteuersignal 112 verbunden, und die Source-Elektroden dieser Transistoren sind mit den einen Enden jeweiliger Kondensatoren CAP11-15 verbunden. Die anderen Enden der Kondensatoren CAP11-15 sind gemeinsam an Masse GND gelegt.

Die Verzögerungszeit jeder Verzögerungsschaltung 102 wird durch den logischen Wert des Kapazitätssteuersignals 112 festgelegt. Insbesondere werden die n-leitenden MOS-Transistoren MN11-15 jeweils leitend/nichtleitend durch den logischen Wert des Kapazitätssteuersignals 112, was die Anzahl von Kondensatoren CAP11-15 auswählt, die mit dem internen Knoten N1 verbunden sind, und somit die Verzögerungszeit des Eingangssignals IN1 variiert. Anders ausgedrückt wird die Verzögerungszeit jeder Verzögerungsschaltung 102 gemäß Fig. 2 durch das (in Fig. 2 nicht gezeigte) Kapazitätssteuersignal eingestellt.

Man erhält den Aufbau der Verzögerungsschaltung 102 durch Kombinieren der beiden Eingaben einer in einer Frequenzvervielfacherschaltung o. ä. verwendeten Taktungsdifferenz-Teilerschaltung (siehe Fig. 4) zu einer, und ihr Laufzeitgang bzw. ihre Verzögerungskennlinie ist zu der einer Taktungsteilerschaltung (Interpolator) äquivalent, deren beide Eingaben so getaktet werden, das sie gleichzeitig sind.

Im folgenden wird der Betrieb dieser Ausführungsform beschrieben.

Fig. 5 ist ein Zeitdiagramm, das beim Beschreiben des Betriebs dieser Ausführungsform von Nutzen ist. Die Wellenform, die durch die gestrichelte Linie in jeder der Wellenformen von Ausgaben T21 bis T28 der jeweiligen Verzögerungsschaltungen 102 gezeigt ist, bezeichnet die Potentialwellenform am internen Knoten N1 der jeweiligen Verzögerungsschaltung 102. Die Verzögerungszeit der Verzögerungsschaltung 102 wird durch den voreingestellten Kapazitätswert festgelegt, der am internen Knoten N1 anliegt. Bei Eintreffen der Verzögerungszeit schaltet die Ausgabe über den Inverter INV03 auf Hochpegel um.

Die Ausgabe der Verzögerungsschaltung 102 wird für die Zeitperiode gewahrt, in der der Hochpegel des Taktsignals 101 an ihr anliegt.

Die Schaltung an der Grenze zwischen Ausgaben von Verzögerungsschaltungen, deren Ausgaben umgeschaltet haben, und Ausgaben von Verzögerungsschaltungen, deren Ausgaben nicht umgeschaltet haben (d. h. deren Ausgaben tiefpeglig bleiben), wird durch die Codierer 104 identifiziert, die das Steuersignal 105 ausgeben, um so eine geeignete Schaltungskonstante in einer Verzögerungsschaltung usw. einer nachfolgenden Stufe auszuwählen. Insbesondere nehmen gemäß Fig. 5 Ausgaben P21-P26 der Zwischenspeicherschaltungen 103 alle den Hochpegel an, und Ausgaben P27-P28 der Zwischenspeicherschaltungen 103 bleiben auf Tiefpegel, wenn das Taktsignal 101 von Hoch- auf Tiefpegel übergeht.

Jede Codierschaltung 104 empfängt die beiden Ausgaben von zwei zueinander benachbarten Zwischenspeicher-

schaltungen 103. Unterscheiden sich die Werte dieser beiden Ausgaben, spezifiziert der spezielle Codierer die Grenze zwischen den Ausgaben der Verzögerungsschaltungen 102 und gibt das codierte Steuersignal 105 aus (fünf Bits in Fig. 2).

In der Verzögerungserfassungsschaltung von Fig. 2 erfolgt eine Grobeinstellung der Taktung. Eine Feineinstellung der Verzögerungsschaltung erfolgt durch variables Einstellen des Kapazitätswerts auf der Grundlage des Steuersignals 105.

Treten als Beispiel zwei aufeinanderfolgende Taktsignale eines 4-Phasentakts in die Taktungsteilerschaltung (Interpolator: Taktungsdifferenz-Teilerschaltung) 121 gemäß Fig. 4 ein, wird eine Umgebung allgemein in der Mitte eines Bereichs von Kapazitäten ausgewählt, in der es möglich ist, eine Taktung genau auszugeben, die halb so groß wie die Differenz zwischen den Taktungen der beiden Eingaben ist. Dies ist ein Beispiel für einen durch das Steuersignal 105 ausgewählten Kapazitätswert der Verzögerungsschaltung. Zu beachten ist, daß die Taktungsteilerschaltung (Interpolator) 121 von Fig. 4 einen Aufbau hat, der grundsätzlich dem der Verzögerungsschaltung von Fig. 3 gleicht. In Fig. 3 tritt das gleiche Eingangssignal IN ein. Dagegen sind in Fig. 4 Signale, die durch Invertieren der Eingaben IN1 und IN2 durch die Inverter INV01 bzw. INV02 erhalten werden, die Gate-Eingaben der n-leitenden MOS-Transistoren MN02 bzw. MN01, und die NAND-Ausgabe der Eingaben IN1 und IN2 ist die Gate-Eingabe zum p-leitenden MOS-Transistor MP01.

Zum Beispiel erfolgt bei einem Mehrphasen- (z. B. 4-Phasen-)Takt 203, der durch Frequenzteilen des Taktsignals 101 durch einen Frequenzteiler 202 gemäß Fig. 10 erzeugt wird, in der eine Taktfrequenz-Vervielfacherschaltung gezeigt ist, die Auswahl einer Umgebung allgemein in der Mitte eines Bereichs von Kapazitäten, in der es möglich ist, eine Taktung auszugeben, die halb so groß wie die Differenz zwischen den Taktungen zweier Eingaben ist, als Steuersignal 207 von einer Taktperioden-Erfassungsschaltung 206. In Fig. 10 ist die Taktperioden-Erfassungsschaltung 206, in die das Taktsignal 101 eingegeben wird, durch die Taktperioden-Erfassungsschaltung der Erfindung gemäß Fig. 2 gebildet. Eine Taktfrequenz-Vervielfacherschaltung 205 ist durch Taktungsdifferenz-Teilereinheiten 204a gebildet. Taktsignale, die durch Multiplexen der Ausgaben der Taktungsdifferenz-Teilereinheiten 204a durch Multiplexer-schaltungen 204b erhalten werden, werden durch eine Taktkombinationsschaltung 208 kombiniert, wodurch man einen frequenzvervielfachten Takt 209b erhält. (Siehe z. B. die JP-A-11-4146.)

Somit wird in dieser Ausführungsform eine Taktungsteilerschaltung (Interpolator) bereitgestellt, bei der durch Empfangen des Steuersignals 105 als Anzeige der durch die Schaltung von Fig. 2 erfaßten Taktverzögerung ihr Kapazitätswert so variiert wird, daß ihre Taktung feineingestellt werden kann.

Fig. 6 zeigt eine Schaltungsanordnung zum Extrahieren einer Taktung, die die Hälfte der Differenz zwischen den Eingabezeiten der beiden Eingaben IN1, IN2 beträgt, unter Verwendung der Taktungsteilerschaltung (Interpolator) 121. Gemäß Fig. 6 verfügt die Schaltung über eine Taktungsteilerschaltung TMD1, deren zwei Eingänge mit der ersten Eingabe IN1 verbunden sind und deren Ausgabe A1 ist; eine Taktungsteilerschaltung (Interpolator) TMD2, von deren zwei Eingängen einer mit der ersten Eingabe IN1 verbunden ist, von deren zwei Eingängen der andere mit der zweiten Eingabe IN2 verbunden ist und deren Ausgabe A2 ist; und eine Taktungsteilerschaltung (Interpolator) TMD3, deren zwei Eingänge beide mit der zweiten Eingabe IN2 verbun-

den sind und deren Ausgabe A3 ist.

Gemäß Fig. 7 ist die Differenz zwischen den Taktungen der Ausgaben A1 und A3 absolut gleich der Differenz zwischen den Eingabezeiten der Eingaben IN1, IN2. Die Differenz zwischen den Eingabezeiten von A1 und A2 wird genau die Hälfte der Differenz zwischen den Eingabezeiten von IN1 und IN2, wenn die Ausgabe A2 ab dem Ende der Periode, in der nur IN1 hochpeglig ist, bis zum Ende der Periode abgegeben wird, in der sowohl IN1 als auch IN2 hochpeglig sind. Dieser Kennwert wird durch den Kapazitätswert in der Taktungsteilerschaltung (Interpolator) TMD2 festgelegt (siehe CAP11-CAP14 in Fig. 4).

Fig. 8 ist eine Darstellung der Beziehung zwischen der Kapazität der Taktungsteilerschaltung (Interpolator) und dem Verzögerungsverhältnis $[= A2/(A3 - A1)]$. Gemäß Fig. 8 liegen Kapazitätswerte zum Ausgeben einer Verzögerungszeit, die genau halb so groß ist (d. h. Verzögerungsverhältnis = 50%), in einem Bereich von einem Kapazitätswert Cmin, der genau jener ist, bei dem eine Ausgabe während der Eingabezeitdifferenz von IN1 und IN2 nur in einer Periode erhalten wird, in der IN1 hochpeglig ist, bis zu einem Kapazitätswert, der das Dreifache dieses Kapazitätswerts beträgt (d. h. Cmax = 3 × Cmin).

Um also in dieser Ausführungsform die Verzögerungszeit in jeder Verzögerungsschaltung 102 zu erfassen, wird gemäß Fig. 9 ein Wert (Kapazität $C = t_{CK} \times 2i/V_t$, wobei V_t eine Amplitudenspannung, i den Konstantstromwert und t_{CK} die Taktperiode darstellt) genau in der Mitte des vorgenannten Bereichs von Kapazitäten benutzt, indem ein Kapazitätswert ausgewählt wird, bei dem die Ausgabe durch zwei gleichzeitige Eingaben (IN1 in Fig. 3) invertiert ist. In Fig. 9 ist der Taktzyklus auf der waagerechten Achse und die Verzögerungszeit auf der senkrechten Achse aufgetragen. Wie Fig. 9 verdeutlicht, wird der Kapazitätswert so eingestellt, daß sich die Betriebsbereiche benachbarter Verzögerungsschaltungen überlappen und sich ihre Betriebsmitteln voneinander unterscheiden.

Indem ferner die Verzögerungszeiten der Verzögerungsschaltungen 102 etwa 1,5 mal X1, X1,5, X2, X4, X6, X8, X12 und X16 gemacht werden, überlappen sich die Kennlinien zum Ausgeben einer Zeit, die halb so groß wie die Differenz zwischen den beiden Eingaben in der Taktungsteilerschaltung (Interpolator) ist.

Wie beschrieben wurde, läßt sich somit erfindungsgemäß der Betriebsbereich von Phaseneinstellungs- und Frequenzvervielfacherschaltungen usw. verbreitern, indem eine Anordnung zum Einsatz kommt, in der eine Grobperiodeneinstellung vorab durchgeführt wird.

Insbesondere sind erfindungsgemäß Verzögerungserfassungsschaltungen mit leicht überlappenden Betriebsbereichen parallel angeordnet, ein Taktsignal wird durch die Verzögerungserfassungsschaltungen geführt, und die Groberrfassung einer Taktperiode erfolgt in kurzen Perioden auf der Grundlage einer Verzögerungskomponente zwischen Verzögerungserfassungsschaltungen, die vom Taktsignal durchlaufen werden, und Verzögerungserfassungsschaltungen, die nicht vom Taktsignal durchlaufen werden.

Zudem ist zu beachten, daß jede Kombination aus den offenbarten und/oder beanspruchten Elementen, Sachverhalten und/oder Einzelheiten in den beanspruchten Schutzzumfang fallen kann.

Patentansprüche

1. Taktperioden-Erfassungsschaltung mit: mehreren parallel verbundenen Verzögerungserfassungsschaltungen mit leicht überlappenden Betriebsbereichen und unterschiedlichen Betriebsmitteln,

wobei ein Taktsignal durch die mehreren Verzögerungserfassungsschaltungen geführt und eine Periode des Takts unter Verwendung eines Signals identifiziert wird, das Verzögerungserfassungsschaltungen, die das Taktsignal durchlaufen hat, und Verzögerungserfassungsschaltungen, die das Taktsignal nicht durchlaufen hat, identifiziert.

2. Taktperioden-Erfassungsschaltung mit: mehreren Verzögerungsschaltungen, denen ein Taktsignal als gemeinsame Eingabe zugeführt wird und die parallel angeordnet sind und Verzögerungszeiten haben, die sich voneinander unterscheiden; mehreren Zwischenspeicherschaltungen, in die Ausgaben jeweiliger der Verzögerungsschaltungen zum Zwischenspeichern des Taktsignals als Zwischenspeichertaktsignal eingegeben werden; und mehreren Codiererschaltungen, in die die Ausgaben der Zwischenspeicherschaltungen eingegeben werden, zum Codieren von Informationen, die eine Grenze zwischen vom Taktsignal durchlaufenen Verzögerungsschaltungen und vom Taktsignal nicht durchlaufenen Verzögerungsschaltungen darstellen, und Ausgeben der codierten Informationen als Steuersignal.

3. Schaltung nach Anspruch 2, wobei die mehreren Verzögerungsschaltungen einander leicht überlappende Betriebsbereiche und sich voneinander unterscheidende Betriebsmitteln haben.

4. Schaltung nach Anspruch 2 oder 3, wobei jede der Verzögerungsschaltungen folgendes hat: einen p-leitenden Transistor, der zwischen einer Stromversorgung und einem internen Knoten verbunden ist und dem ein durch Invertieren eines Eingangssignals erhaltenes Signal als Gate-Eingabe zugeführt wird; und einen n-leitenden Transistor, der durch eine Konstantstromquelle angesteuert wird, zwischen dem internen Knoten und Masse verbunden ist und dem das durch Invertieren des Eingangssignals erhaltene Signal als Gate-Eingabe zugeführt wird;

wobei mehrere in Reihe verbundene Schalter und Kondensatoren zwischen dem internen Knoten und Masse parallel verbunden sind und eine Verzögerungszeit festgelegt wird, indem eine zum internen Knoten geführte Kapazität durch ein Kapazitätssteuersignal festgelegt wird, das mit einem Steueranschluß jedes Schalters verbunden ist;

wobei die Verzögerungsschaltung einen Inverter zum Invertieren und Ausgeben eines am internen Knoten vorhandenen Potentials hat.

5. Taktungsteilerschaltung (Interpolator) mit: einer ersten, zweiten und dritten Taktungsteilerschaltung (Interpolator), die parallel verbunden sind und jeweils folgendes haben: einen p-leitenden Transistor, der zwischen einer Stromversorgung und einem internen Knoten verbunden ist und dem ein durch NAND-Verknüpfen zwischen einem ersten und zweiten Eingangssignal erhaltenes Signal als Gate-Eingabe zugeführt wird; und einen ersten und zweiten n-leitenden Transistor, die durch eine Konstantstromquelle angesteuert werden, zwischen dem internen Knoten und Masse verbunden sind und denen durch Invertieren des ersten und zweiten Eingangssignals erhaltene Signale als Gate-Eingaben zugeführt werden; wobei mehrere in Reihe verbundene Schalter und Kondensatoren zwischen dem internen Knoten und Masse parallel verbunden sind und eine Verzögerungszeit festgelegt wird, indem eine zum internen Knoten geführte Kapazität durch ein Kapazitätssteuersignal festgelegt wird, das mit einem Steueranschluß jedes Schalters

verbunden ist; wobei

jede Taktungsteilerschaltung (Interpolator) einen Inverter zum Invertieren und Ausgeben eines am internen Knoten vorhandenen Potentials hat;

wobei ein erster Takt von zwei Takten mit unterschiedlichen Phasen gemeinsam als das erste und zweite Eingangssignal zur ersten Taktungsteilerschaltung (Interpolator) geführt wird;

ein die beiden Takte mit den unterschiedlichen Phasen bildender erster und zweiter Takt als das erste und zweite Eingangssignal zur zweiten Taktungsteilerschaltung (Interpolator) geführt werden; und

ein zweiter Takt der beiden Takte mit den unterschiedlichen Phasen gemeinsam als das erste und zweite Eingangssignal zur dritten Taktungsteilerschaltung (Interpolator) geführt wird;

wobei die Kapazität der Taktungsteilerschaltung (Interpolator) durch das Steuersignal von der Taktperioden-Erfassungsschaltung nach einem der Ansprüche 1 bis 4 festgelegt wird.

6. Schaltung nach Anspruch 5, wobei die Kapazität so eingestellt wird, daß Bereiche, über die die Taktungsteilerschaltung (Interpolator) eine Taktung ausgibt, die halb so groß wie die Differenz zwischen den Taktungen der ersten und zweiten Takteingabe ist, einander auf einer Zeitachse überlappen.

7. Taktfrequenz-Vervielfacherschaltung zum Ausgeben eines frequenzvervielfachten Takts mit:

einer Frequenzteilerschaltung zum Frequenzteilen eines Taktsignals, Erzeugen und Ausgeben eines Mehrphasentakts;

einer Taktperioden-Erfassungsschaltung, in die das Taktsignal eingegeben wird;

mehreren Taktungsteilerschaltungen (Interpolatoren) zum Ausgeben von Taktungssignalen, die durch Teilen (Interpolieren) von Differenzen zwischen Eingangstaktungen des Mehrphasentakts erhalten werden; und Multiplexerschaltungen zum Multiplexen von Ausgaben der mehreren Taktungsteilerschaltungen (Interpolatoren);

wobei die Taktperioden-Erfassungsschaltung die in einem der Ansprüche 1 bis 4 beschriebene Taktperioden-Erfassungsschaltung aufweist.

8. Schaltung nach Anspruch 7, wobei jede der Taktungsteilerschaltungen (Interpolatoren) folgendes hat:

einen p-leitenden Transistor, der zwischen einer Stromversorgung und einem internen Knoten verbunden ist und dem ein durch NAND-Verknüpfen zwischen einem ersten und zweiten Eingangssignal erhaltenes Signal als Gate-Eingabe zugeführt wird; und

einen ersten und zweiten n-leitenden Transistor, die durch eine Konstantstromquelle angesteuert werden, zwischen dem internen Knoten und Masse verbunden sind und denen durch Invertieren des ersten und zweiten Eingangssignals erhaltene Signale als Gate-Eingaben zugeführt werden;

wobei mehrere in Reihe verbundene Schalter und Kondensatoren zwischen dem internen Knoten und Masse parallel verbunden sind und eine Verzögerungsmenge festgelegt wird, indem eine zum internen Knoten geführte Kapazität durch ein Kapazitätssteuersignal festgelegt wird, das mit einem Steueranschluß jedes Schalters verbunden ist;

wobei jede Taktungsteilerschaltung (Interpolator) einen Inverter zum Invertieren und Ausgeben eines am internen Knoten vorhandenen Potentials hat;

wobei die Kapazität durch ein Steuersignal von der Taktperioden-Erfassungsschaltung festgelegt wird.

9. Schaltung nach Anspruch 2, wobei jede der Verzögerungsschaltungen folgendes hat:
einen Transistor eines ersten Leitungstyps, der zwischen einer Stromversorgung und einem internen Knoten verbunden ist und dem ein Signal als Anzeige eines Eingangssignals als Gate-Eingabe zugeführt wird; und
einen Transistor eines zweiten Leitungstyps, der durch eine Konstantstromquelle angesteuert wird, zwischen dem internen Knoten und Masse verbunden ist und dem das Signal als Anzeige des Eingangssignals als Gate-Eingabe zugeführt wird;
wobei mehrere in Reihe verbundene Schalter und Kondensatoren zwischen dem internen Knoten und Masse parallel verbunden sind und eine Verzögerungszeit festgelegt wird, indem eine zum internen Knoten geführte Kapazität durch ein Kapazitätssteuersignal festgelegt wird, das mit einem Steueranschluß jedes Schalters verbunden ist;
wobei die Verzögerungsschaltung ein Ausgangssignal als Anzeige eines am internen Knoten vorhandenen Potentials ausgibt.
10. Taktungsteilerschaltung (Interpolator) mit:
einer ersten, zweiten und dritten Taktungsteilerschaltung (Interpolator), die parallel verbunden sind und jeweils folgendes haben: einen Transistor eines ersten Leitungstyps, der zwischen einer Stromversorgung und einem internen Knoten verbunden ist und dem ein durch logisches Verknüpfen zwischen einem ersten und zweiten Eingangssignal erhaltenes Signal als Gate-Eingabe zugeführt wird, und einen ersten und zweiten Transistor eines zweiten Leitungstyps, die durch eine Konstantstromquelle angesteuert werden, zwischen dem internen Knoten und Masse verbunden sind und denen ein durch Invertieren des aus dem ersten und zweiten Eingangssignal erhaltenen Signals als Gate-Eingaben zugeführt wird; wobei mehrere in Reihe verbundene Schalter und Kondensatoren zwischen dem internen Knoten und Masse parallel verbunden sind und eine Verzögerungszeit festgelegt wird, indem eine zum internen Knoten geführte Kapazität durch ein Kapazitätssteuersignal festgelegt wird, das mit einem Steueranschluß jedes Schalters verbunden ist; wobei jede Taktungsteilerschaltung (Interpolator) ein Ausgangssignal als Anzeige eines am internen Knoten vorhandenen Potentials ausgibt;
wobei ein erster Takt von zwei Takten mit unterschiedlichen Phasen gemeinsam als das erste und zweite Eingangssignal zur ersten Taktungsteilerschaltung (Interpolator) geführt wird;
ein die beiden Takte mit den unterschiedlichen Phasen bildender erster und zweiter Takt als das erste und zweite Eingangssignal zur zweiten Taktungsteilerschaltung (Interpolator) geführt werden; und
ein zweiter Takt der beiden Takte mit den unterschiedlichen Phasen gemeinsam als das erste und zweite Eingangssignal zur dritten Taktungsteilerschaltung (Interpolator) geführt wird;
wobei die Kapazität der Taktungsteilerschaltung (Interpolator) durch das Steuersignal von der Taktperioden-Erfassungsschaltung nach einem der Ansprüche 1 bis 4 festgelegt wird.

Hierzu 10 Seite(n) Zeichnungen

FIG. 1

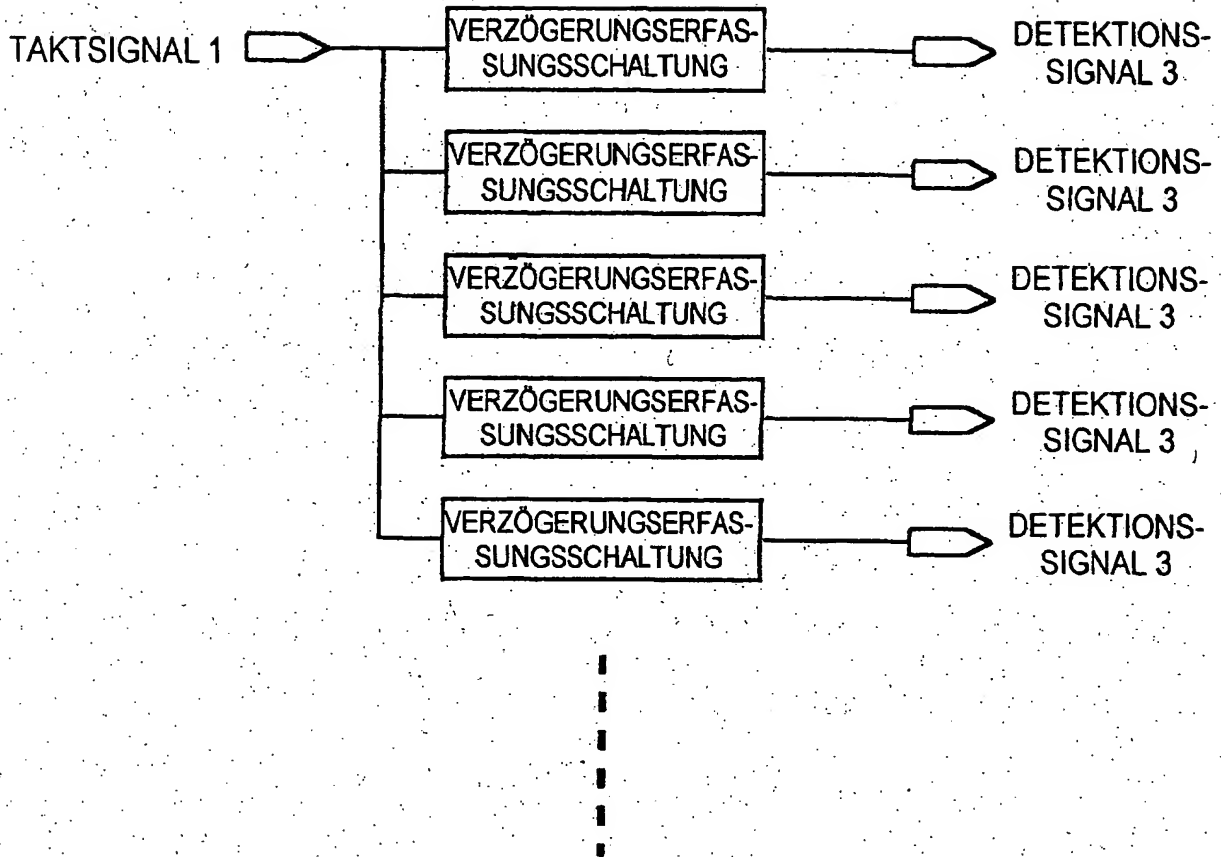


FIG. 2

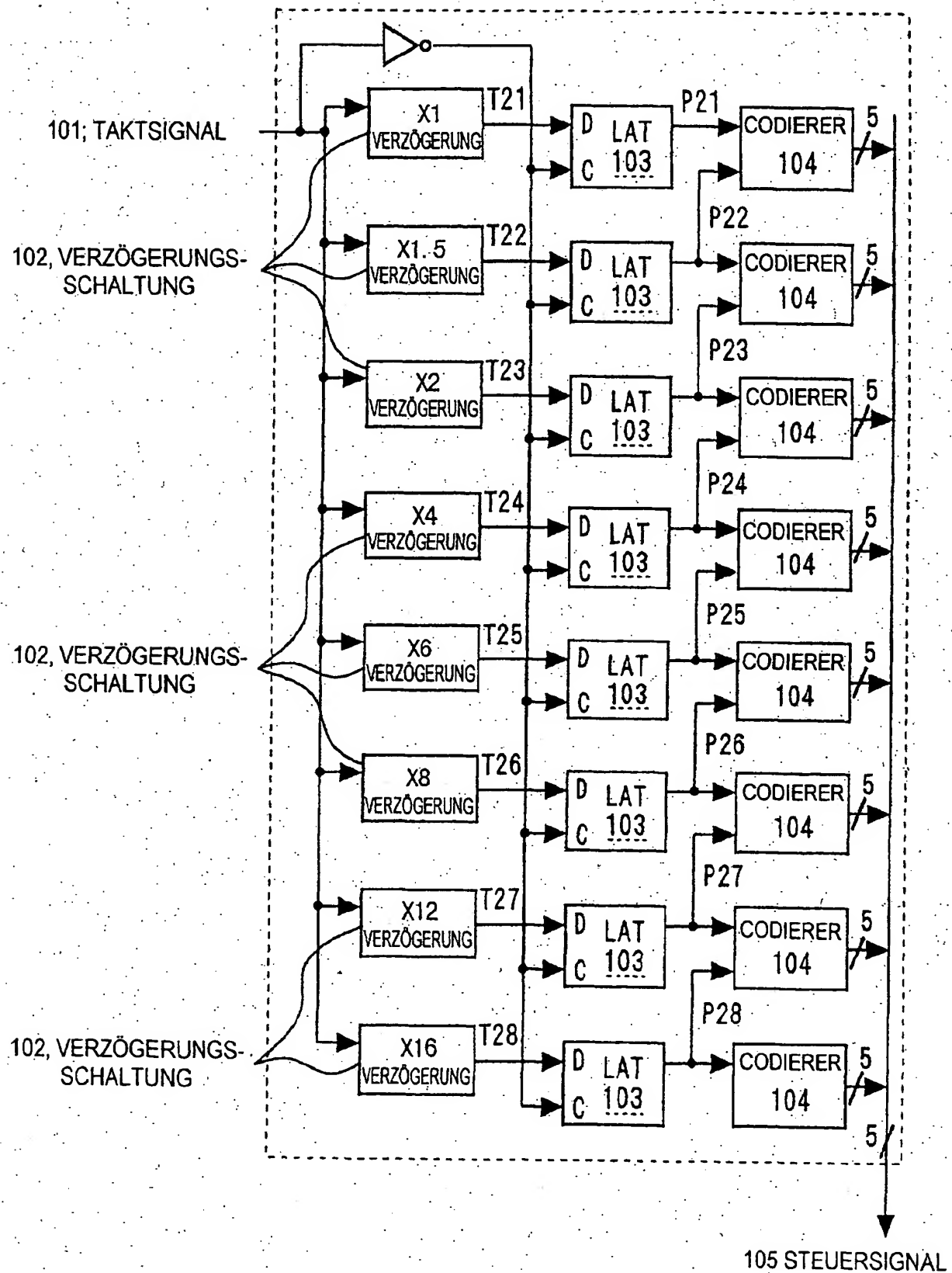


FIG. 3

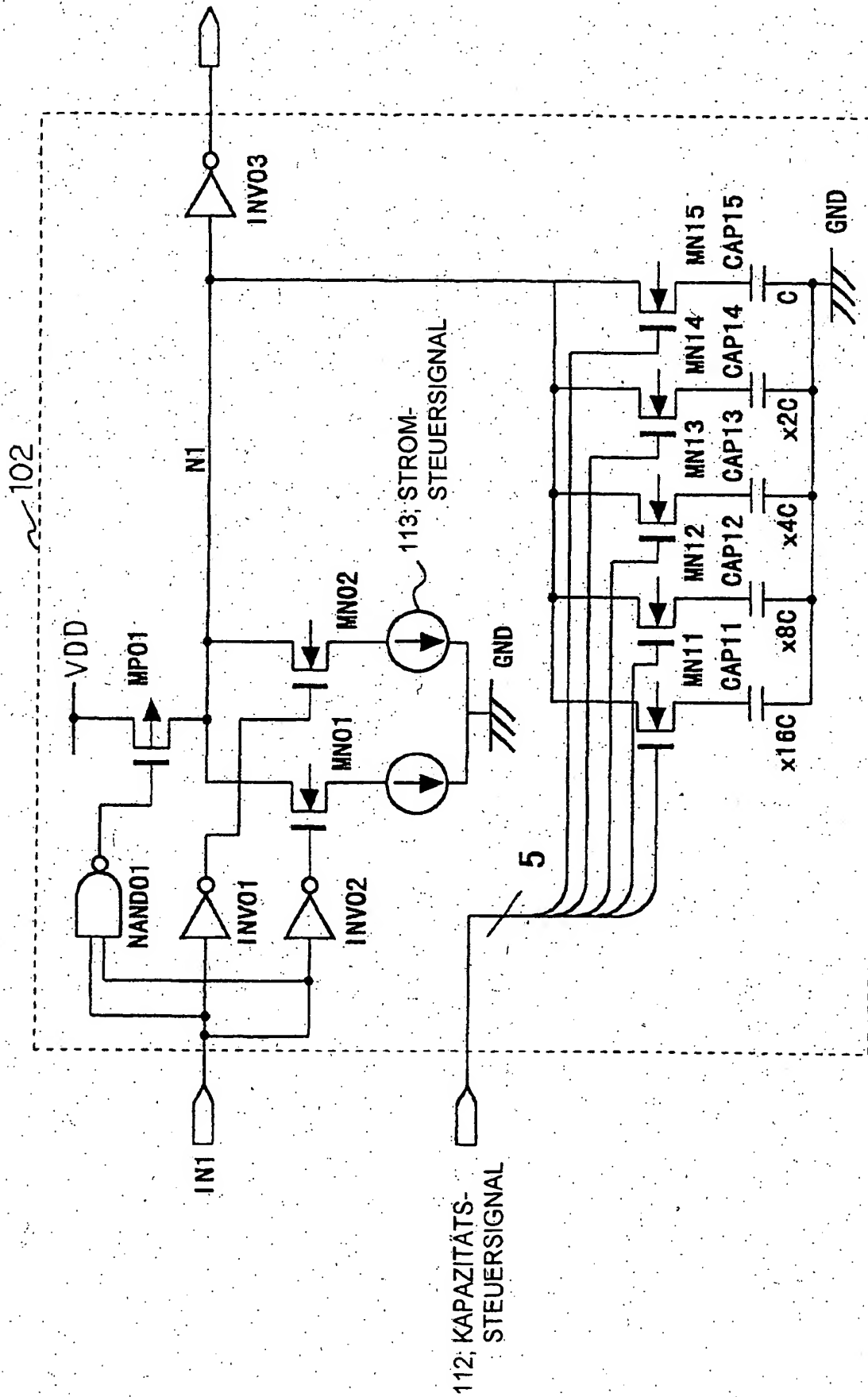


FIG. 4

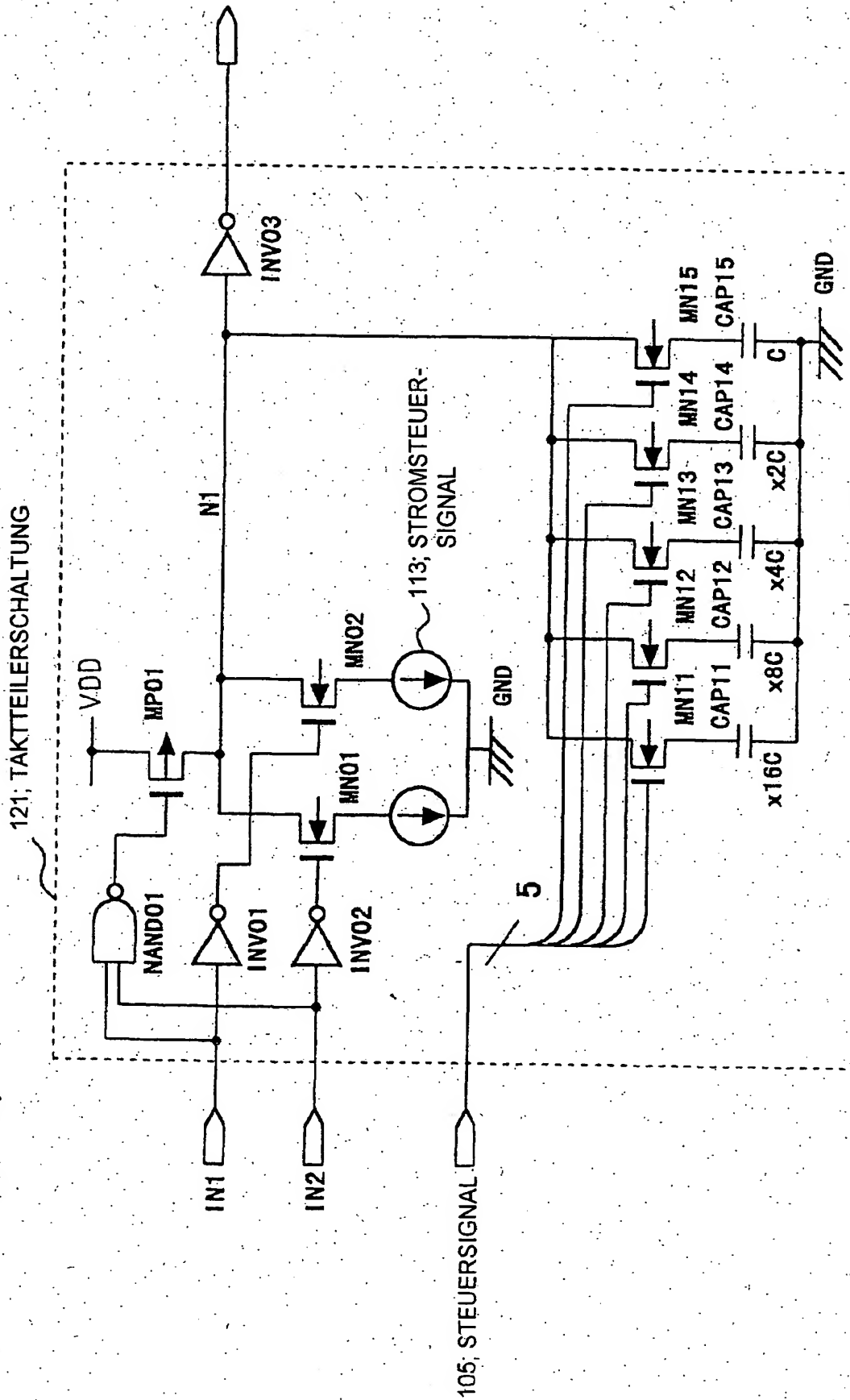


FIG. 5

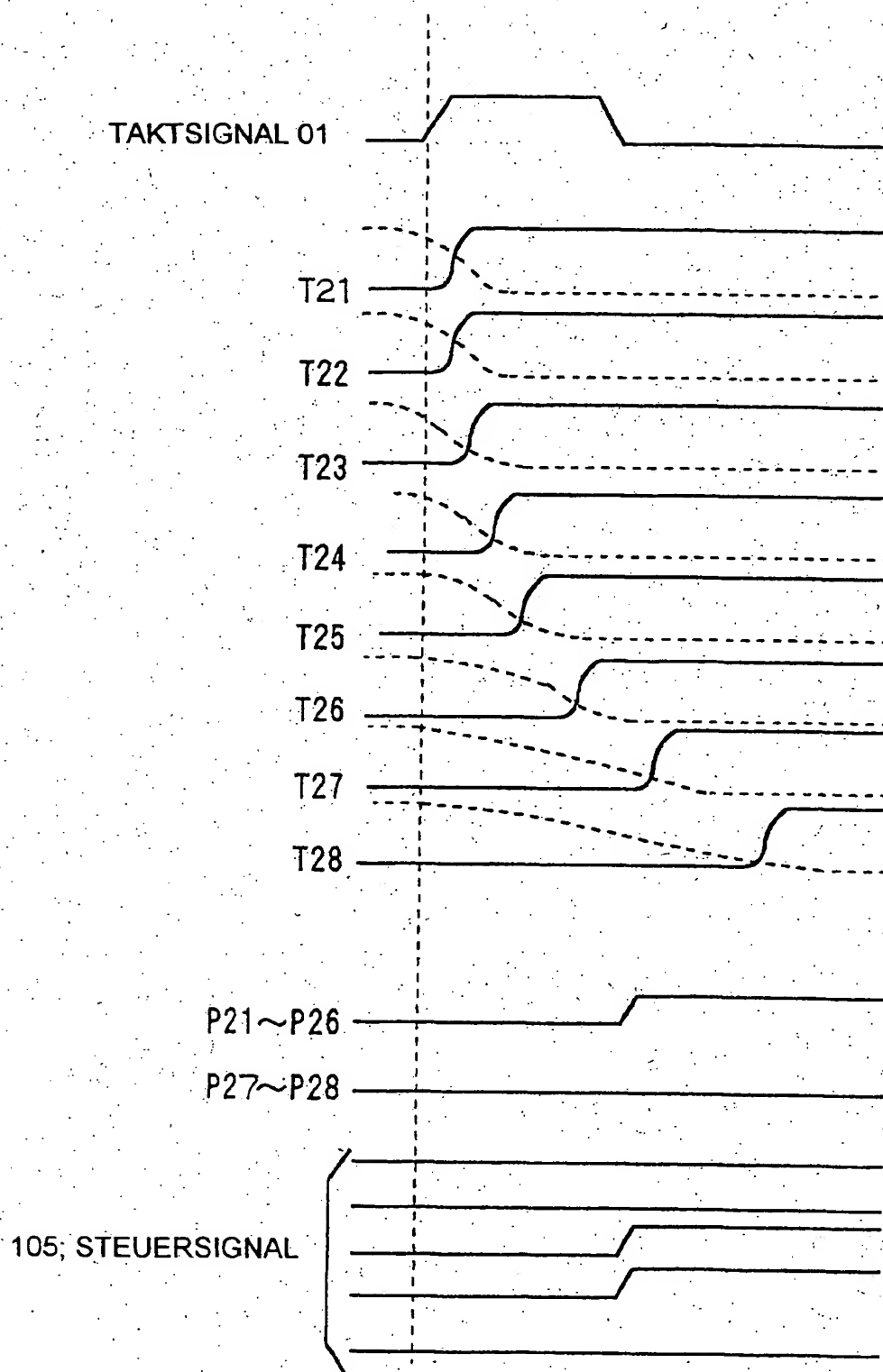


FIG. 6

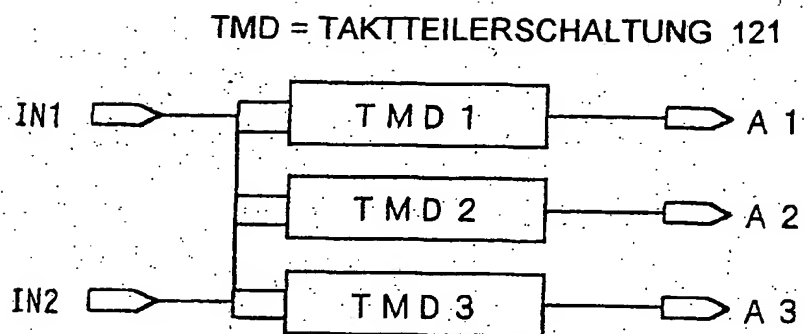


FIG. 7

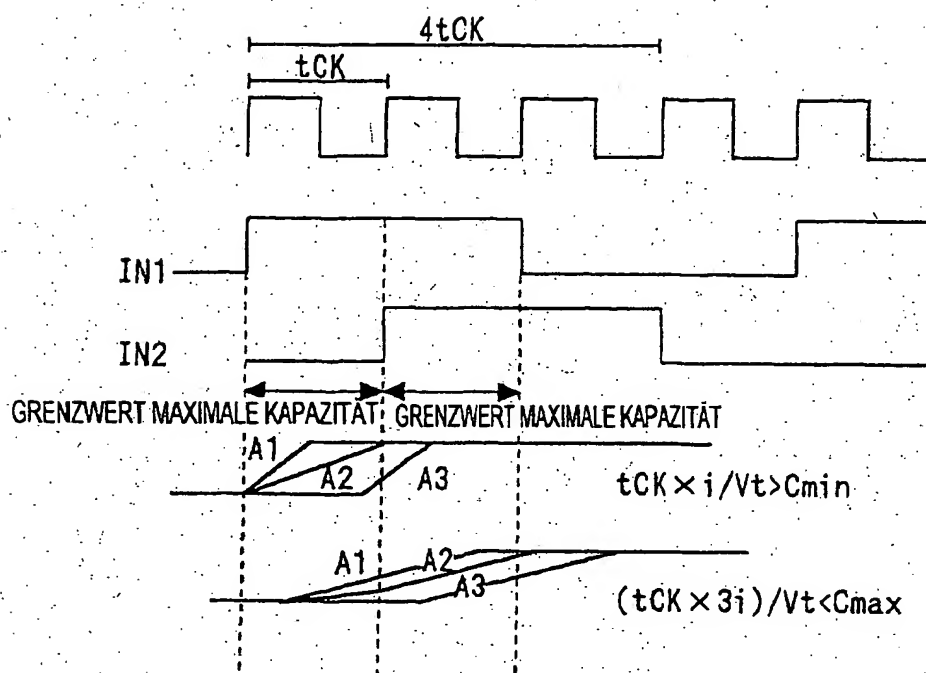


FIG. 8

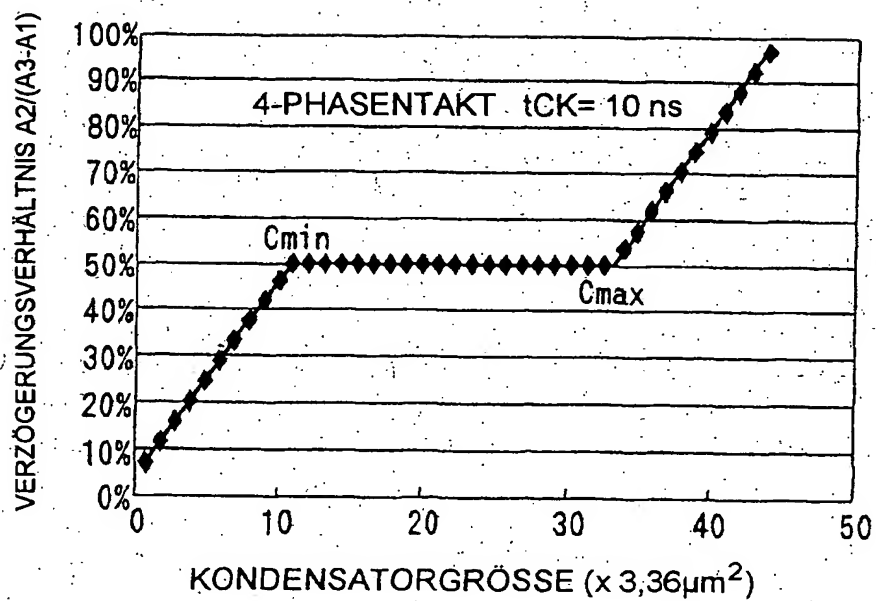
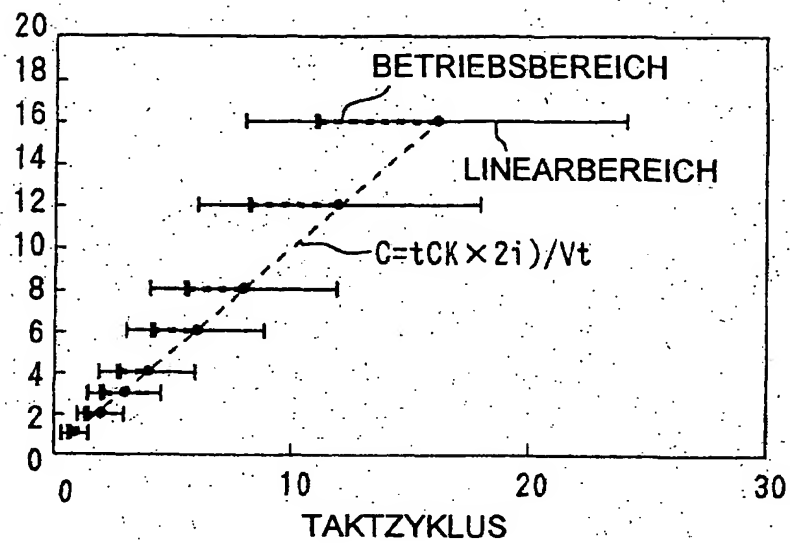


FIG. 9



STAND DER TECHNIK

FIG. 10

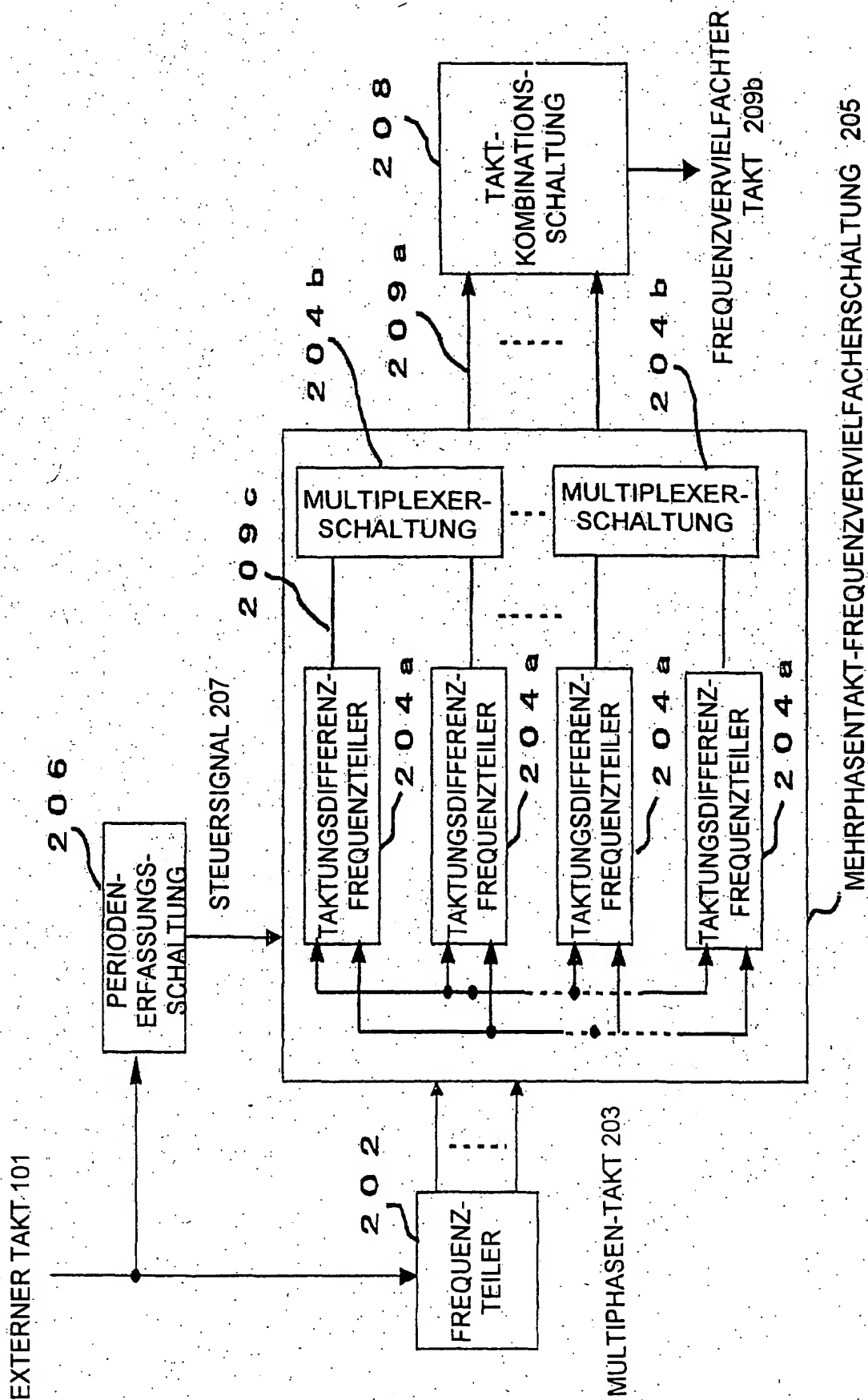
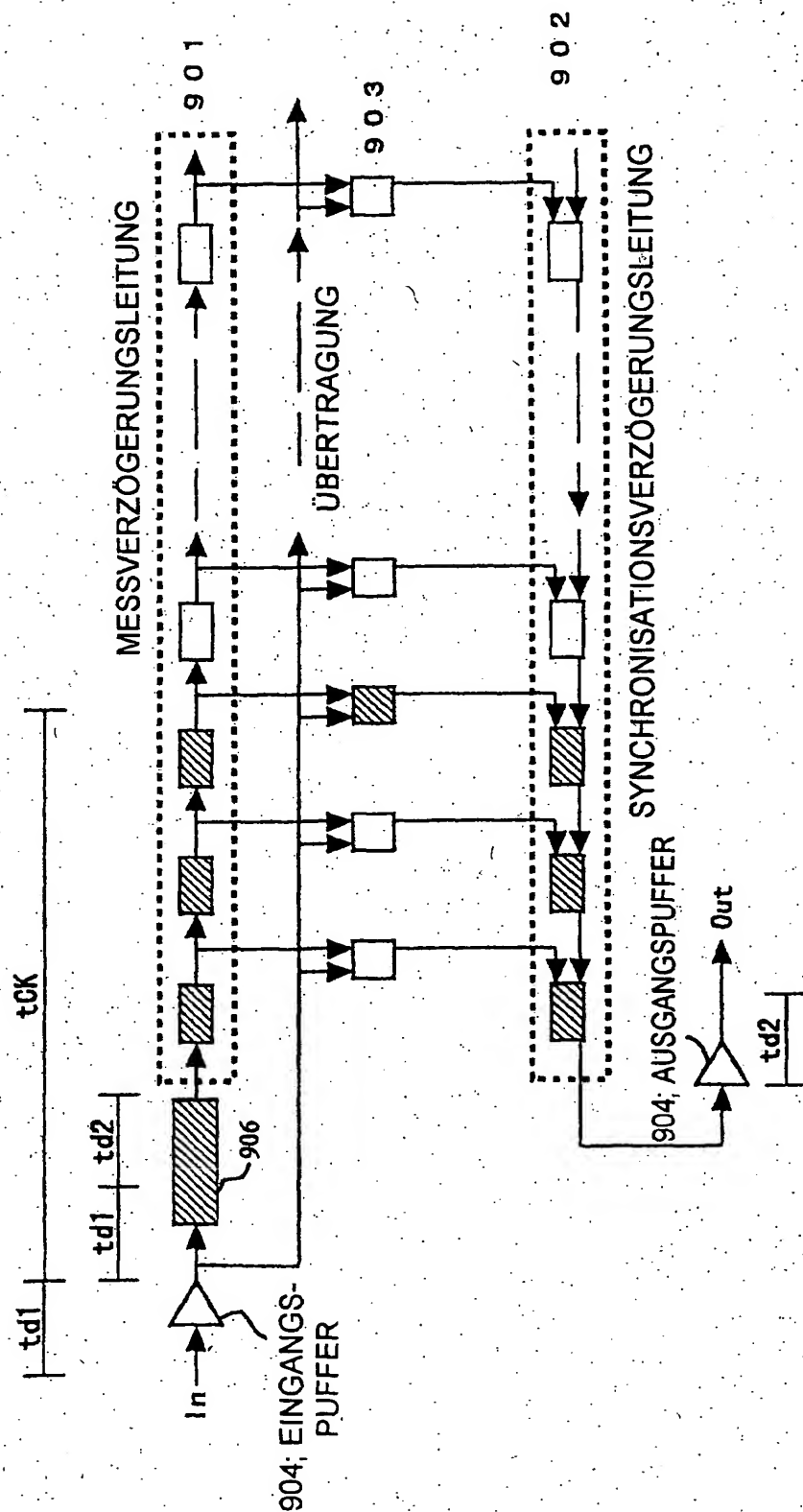


FIG. 11
 STAND DER TECHNIK


**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)